

Nghiên cứu, thiết kế bộ đảo tần lên và đảo tần xuống cho các hệ thống vô tuyến cấu hình mềm hiệu quả tài nguyên trên công nghệ FPGA

Trần Văn Nghĩa*

Trường Đại học Vật lý Kỹ thuật Matxcova

Ngày nhận bài 5.10.2015, ngày chuyển phản biện 9.10.2015, ngày nhận phản biện 10.11.2015, ngày chấp nhận đăng 18.11.2015

Bài báo trình bày kiến trúc và thực hiện bộ đảo tần lên và đảo tần xuống số trên chip FPGA (Field-programmable gate arrays) với tài nguyên tối ưu có khả năng thích hợp cho sự phát triển của công nghệ vô tuyến cấu hình mềm. Kỹ thuật này có thể áp dụng rộng rãi trong các ứng dụng xử lý tín hiệu số và các hệ thống thông tin số. Minh họa thiết kế cho hệ thống thu phát dựa trên kỹ thuật điều chế QPSK (Quadrature phase shift keying). Thiết kế được thực hiện bằng công cụ System Generator for DSP (Digital signal processing) 14.7.

Từ khóa: bộ đảo tần lên, bộ đảo tần xuống, bộ lọc bù CFIR (CIC Compensation filter), bộ lọc CIC (Cascaded integrator-comb filter), điều chế và giải điều chế QPSK.

Chỉ số phân loại 2.2

RESEARCHING AND DESIGNING THE DIGITAL UP AND DOWN CONVERTER FOR SOFTWARE DEFINED RADIO (SDR) SYSTEMS WITH EFFICIENT RESOURCES BASED ON FPGA TECHNOLOGY

Summary

This paper presents the architecture and implementation of the digital up and down converter based on a FPGA chip with efficient resources which is well suited for the evolving technology of software defined radio systems. The device may be widely adopted in the applications of digital signal processing and digital communication systems. Demonstration of transceiver system design is implemented by using the QPSK modulation technique. And this design is done by the System Generator for DSP 14.7.

Keywords: CIC filters, Compensation filter CFIR, digital down converter, digital up converter, QPSK mapper and demapper.

Classification number 2.2

Đặt vấn đề

Ngày nay, SDR (Software defined radio) được các kỹ sư thiết kế hệ thống vô tuyến đặc biệt quan tâm bởi khả năng lập trình dựa trên FPGA [1]. Trong đó, thành phần được các kỹ sư tập trung phát triển nhất là các bộ đảo tần lên và xuống số sao cho tối thiểu hóa tài nguyên sử dụng nhưng đạt được tốc độ cao. Chính vì thế, tác giả của bài báo này đã tập trung thiết kế và thử nghiệm bộ DDC (Digital down converter) và DUC (Digital up converter) trên công cụ System Generator. Kỹ thuật điều chế và giải điều chế QPSK được lựa chọn làm phần xử lý tín hiệu bằng cơ sở.

Nội dung nghiên cứu

Kỹ thuật điều chế QPSK

Điều chế QPSK đã được ứng dụng rộng rãi trong các hệ thống thông tin số với mô tả toán học như sau [2]:

$$s(t) = A \cos(2\pi f_c t + \theta_i), \quad i = 1, 2, 3, 4 \quad (1)$$

$$\theta_i = \frac{(2i-1)\pi}{4} = \left\{ \frac{\pi}{4}, \frac{3\pi}{4}, \frac{5\pi}{4}, \frac{7\pi}{4} \right\} \quad (2)$$

Khai triển công thức (1) ta nhận được:

$$s(t) = A \cos \theta_i \cos(2\pi f_c t) - A \sin \theta_i \sin(2\pi f_c t) \quad (3)$$

*Email: nghiarnosmpt@gmail.com

Do đó có thể biểu diễn tín hiệu điều chế QPSK ở dạng khác:

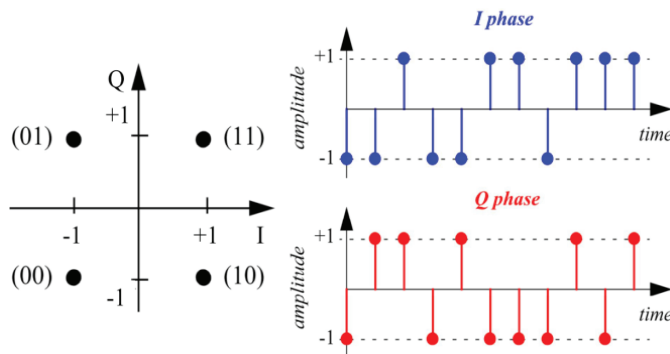
$$s(t) = \frac{A}{\sqrt{2}} I(t) \cos(2\pi f_c t) - \frac{A}{\sqrt{2}} Q(t) \sin(2\pi f_c t) \quad (4)$$

Trong đó:

$$I(t) = \sqrt{2} \cos \theta_i, i = 1, 2, 3, 4 \quad (5)$$

$$Q(t) = \sqrt{2} \sin \theta_i, i = 1, 2, 3, 4 \quad (6)$$

Với 4 giá trị có thể nhận của góc pha θ_i , ta thấy các thành phần I (In-phase component) và Q (Quadrature-phase component) chỉ có thể nhận 1 trong 2 giá trị $\{+1, -1\}$. Các thành phần I và Q này liên hệ trực tiếp với chuỗi bit dữ liệu đưa vào điều chế với chòm sao như mô tả trên hình 1.

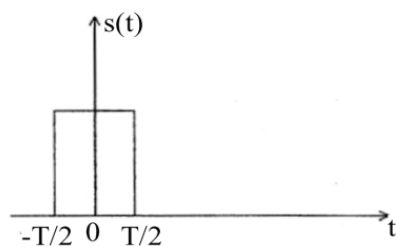


Hình 1: mẫu tín hiệu và chòm sao điều chế QPSK

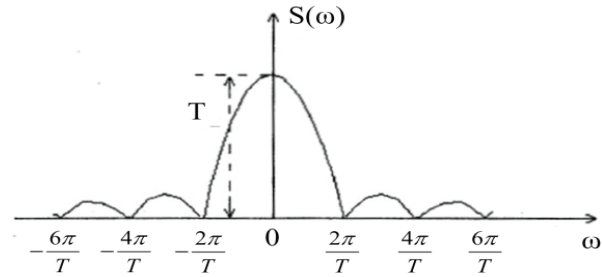
Kỹ thuật đảo tần lên số

Sau quá trình xử lý bằng gốc, các mẫu dữ liệu là tín hiệu xung có chu kỳ lấy mẫu T với biên độ được lượng tử. Chúng ta xét một xung tín hiệu (hình 2) làm đại diện cho các mẫu tín hiệu với biên độ chúng ta chuẩn hóa là 1:

$$s(t) = \begin{cases} 1, & |t| \leq \frac{T}{2} \\ 0, & |t| > \frac{T}{2} \end{cases} \quad (7)$$



Hình 2: xung mẫu tín hiệu

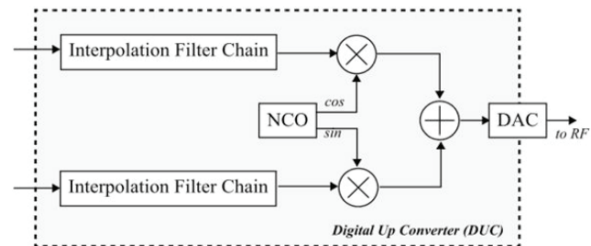


Hình 3: đặc trưng biên độ phổ xung mẫu tín hiệu

Để thấy đặc trưng phổ, ta thực hiện phép biến đổi Fourier cho tín hiệu này:

$$S(j\omega) = \int_{-\infty}^{+\infty} s(t) e^{-j\omega t} dt = \int_{-T/2}^{+T/2} e^{-j\omega t} dt = \frac{1}{-j\omega} e^{-j\omega t} \Big|_{-T/2}^{+T/2} = \frac{T \sin(\omega T/2)}{(\omega T/2)} \quad (8)$$

Đặc trưng biên độ phổ của các mẫu tín hiệu có dạng $\sin(x)/x$. Như vậy, các mẫu tín hiệu có phổ rất rộng nên không phù hợp trong các kênh truyền. Đồng thời, chúng sẽ gây nhiễu giữa các symbol (nhiều ISI - Intersymbol interference) do các hài phụ. Vì thế, tín hiệu sau khi xử lý bằng gốc cần phải được hạn chế băng thông, đồng thời giảm nhiễu ISI và nội suy để mở rộng dải thông cho điều chế vào sóng mang IF (Intermediate frequency) hoặc RF (Radio frequency). Do đó, cấu trúc tổng quát bộ DUC bao gồm tổ hợp kênh lọc nội suy và bộ tạo dao động DDS (Direct digital synthesizer) [3-5].



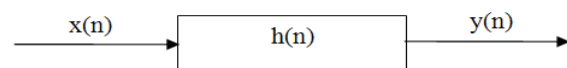
Hình 4: kiến trúc chung của bộ DUC

Kênh lọc nội suy:

Bộ lọc số có đáp ứng xung hữu hạn FIR (Finite Impulse Response) tổng quát là một hệ thống số được mô tả bởi phương trình sai phân hoặc dưới dạng đáp ứng xung:

$$y(n) = \sum_{k=0}^{N-1} w_k x(n-k) \quad (9)$$

$$y(n) = \sum_{k=0}^{N-1} x(k) h(n-k) = x(n) * h(n) \quad (10)$$



Hình 5: mô tả bộ lọc số theo đáp ứng xung

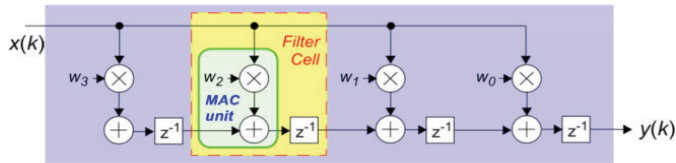
$$h(n) = \sum_{k=0}^{N-1} w_k \delta(n-k) \quad (11)$$

$$\delta(n) = \begin{cases} 1, n = 0 \\ 0, n \neq 0 \end{cases} \quad (12)$$

Thông qua phép biến đổi Z và Fourier phương trình (10), (11) chúng ta nhận được:

$$Y(z) = X(z) \cdot H(z) \quad (13)$$

$$H(z) = \frac{Y(z)}{X(z)} = \sum_{k=0}^{N-1} w_k z^{-k} \quad (14)$$



Hình 6: cấu trúc chung của bộ lọc FIR bậc 4

$$H(\omega) = \frac{Y(\omega)}{X(\omega)} = \sum_{k=0}^{N-1} w_k e^{-j\omega k} \quad (15)$$

Để hạn chế dải thông tín hiệu trong kênh truyền và giảm nhiễu ISI người ta sử dụng bộ lọc RC (Raised-cosine filter). Bộ lọc này được xây dựng theo tiêu chuẩn Nyquist với đáp ứng xung dạng cosine nâng (raised cosine pulses) để xấp xỉ đặc tuyến dạng $\sin(x)/x$ [4, 6]. Băng thông Nyquist W được định nghĩa:

$$W = \frac{1}{2T} \quad (16)$$

$$H(f) = \begin{cases} T, |f| \leq \frac{1-\beta}{2T} \\ \frac{T}{2} \left[1 + \cos \left(\frac{\pi T}{\beta} \left[|f| - \frac{1-\beta}{2T} \right] \right) \right] = T \cos^2 \left(\frac{\pi T}{2\beta} \left[|f| - \frac{1-\beta}{2T} \right] \right), \frac{1-\beta}{2T} < |f| \leq \frac{1+\beta}{2T} \\ 0, |f| > \frac{1+\beta}{2T} \end{cases} \quad (17)$$

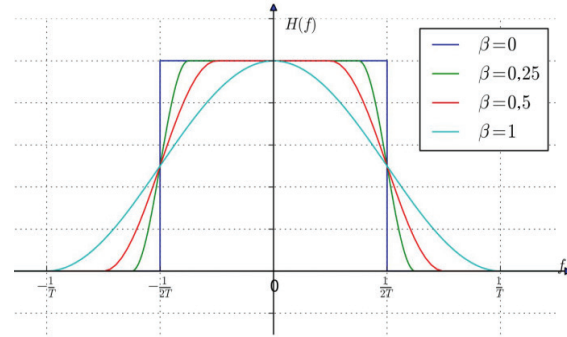
Đặc trưng biên độ - tần số $H(f)$ của bộ lọc RC phụ thuộc vào 2 tham số là T (chu kỳ lấy mẫu của tín hiệu) và β (hệ số làm phẳng). Trong đó, β xác định khoảng Δf vượt quá băng thông của bộ lọc (BW) so với dải thông chiếm giữ Nyquist với hệ số β nằm trong dải từ 0 đến 1.

$$\beta = \frac{\Delta f}{W} = \frac{\Delta f}{1/2T} = 2T\Delta f \quad (18)$$

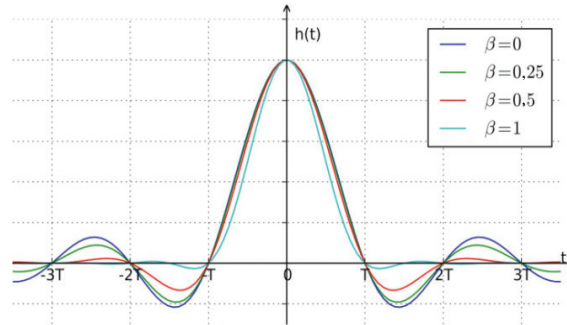
$$BW = W(1+\beta) = \frac{1+\beta}{2T} \quad (19)$$

Biến đổi Fourier ngược (17), chúng ta nhận được đáp ứng xung của bộ lọc RC.

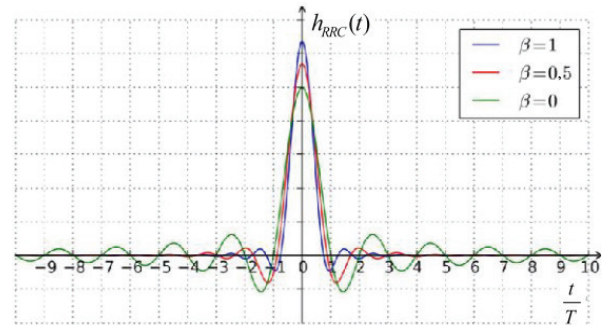
$$h(t) = \frac{\sin(\pi t / T)}{(\pi t / T)} \cdot \frac{\cos(\pi \beta t / T)}{1 - (2\beta t / T)^2} \quad (20)$$



Hình 7: đặc tuyến biên độ - tần số của bộ lọc RC



Hình 8: đáp ứng xung của bộ lọc RC



Hình 9: đáp ứng xung của bộ lọc RRC (Root-raised-cosine filter)

Đáp ứng xung cho thấy 2 thành phần: thành phần đầu tiên có dạng $\sin(x)/x$ để đảm bảo rằng bộ lọc có các cực không tại những thời điểm bội lần chu kỳ lấy mẫu (hình 7). Như vậy, có thể dễ dàng trích mẫu thông tin theo thời gian; thành phần thứ hai là hàm cosine để hiệu chỉnh cho thành phần thứ nhất làm cho nó có đặc tuyến tần số tốt hơn. Khi β được chọn càng nhỏ thì đặc tuyến biên độ - tần số của bộ lọc càng tiến đến hình vuông, còn đáp ứng xung trở nên dao động mạnh hơn,

nghĩa là kéo dài hơn.

Trong hệ thống thông tin thực tế có sử dụng các bộ lọc phối hợp do ảnh hưởng của tạp trắng. Do đó, để thỏa mãn việc làm giảm thiểu ảnh hưởng của nhiễu ISI, đáp ứng xung phối hợp của 2 bộ lọc này (1 bộ ở phía phát $H_T(f)$ và 1 bộ ở phía thu $H_R(f)$) thỏa mãn đáp ứng của bộ lọc RC, nghĩa là:

$$H_T(f).H_R(f) = H(f) \quad (21)$$

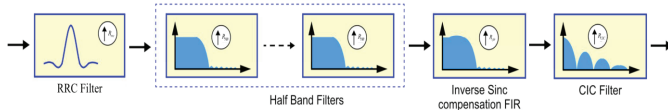
Để thỏa mãn điều kiện phối hợp, đáp ứng của hai bộ lọc này là giống nhau:

$$|H_T(f)|.|H_R(f)| = \sqrt{|H(f)|} \quad (22)$$

Như vậy, bộ lọc RC có thể tách thành 2 bộ lọc có đặc trưng biên độ - tần số giống nhau và bằng căn bậc hai của bộ lọc này. Bộ lọc có đáp ứng biên độ - tần số như vậy được gọi là bộ lọc RRC (23), (24).

$$H_{RRC}(f) = \begin{cases} \sqrt{T}, |f| \leq \frac{1-\beta}{2T} \\ \sqrt{\frac{T}{2} \left[1 + \cos \left(\frac{\pi T}{\beta} \left[|f| - \frac{1-\beta}{2T} \right] \right) \right]}, \frac{1-\beta}{2T} < |f| \leq \frac{1+\beta}{2T} \\ 0, |f| > \frac{1+\beta}{2T} \end{cases} \quad (23)$$

$$h_{RRC}(t) = \begin{cases} \frac{1}{\sqrt{T}} \left(1 - \beta + \frac{4\beta}{\pi} t \right), t = 0 \\ \frac{\beta}{\sqrt{2T}} \left[\left(1 + \frac{2}{\pi} \right) \sin \left(\frac{\pi}{4\beta} \right) + \left(1 - \frac{2}{\pi} \right) \cos \left(\frac{\pi}{4\beta} \right) \right], t = \pm \frac{T}{4\beta} \\ \frac{1}{\sqrt{T}} \frac{\sin(\pi t(1-\beta)/T) + (4\beta/T) \cos(\pi t(1+\beta)/T)}{(\pi t/T) [1 - (4\beta/T)^2]}, t \neq \left\{ 0, \pm \frac{T}{4\beta} \right\} \end{cases} \quad (24)$$



Hình 10: cấu trúc chung của kênh lọc nội suy

Bộ lọc có khả năng nội suy tốc độ lấy mẫu lớn nhất được sử dụng trong các hệ thống vô tuyến là bộ lọc CIC (25-28). Bộ lọc CIC có ưu điểm là cấu trúc đơn giản và tốc độ hoạt động nhanh nên thích hợp cho việc xử lý tín hiệu đa tốc độ trong hệ thống vô tuyến cấu hình mềm [7].

$$h_{CIC}(n) = \begin{cases} 1, 0 \leq n \leq R-1 \\ 0, n \notin [0, R-1] \end{cases} \quad (25)$$

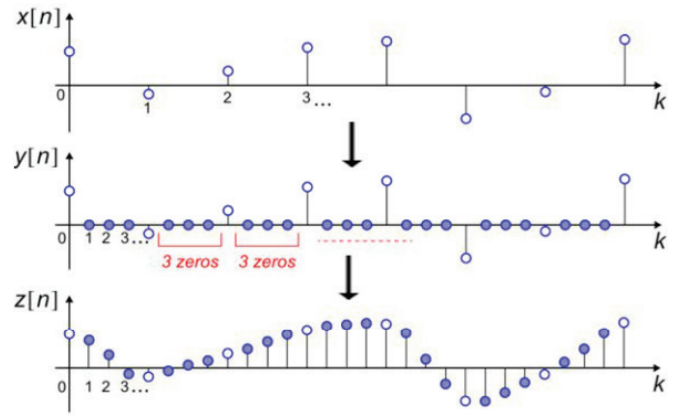
$$H_{CIC}(z) = \sum_{n=0}^{R-1} h(n)z^{-n} = \frac{1-z^{-R}}{1-z^{-1}} = H_1(z).H_2(z) \quad (26)$$

Trong đó:

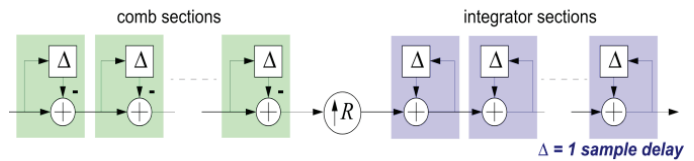
$$H_1(z) = \frac{1}{1-z^{-1}} \quad (27)$$

$$H_2(z) = 1-z^{-R} \quad (28)$$

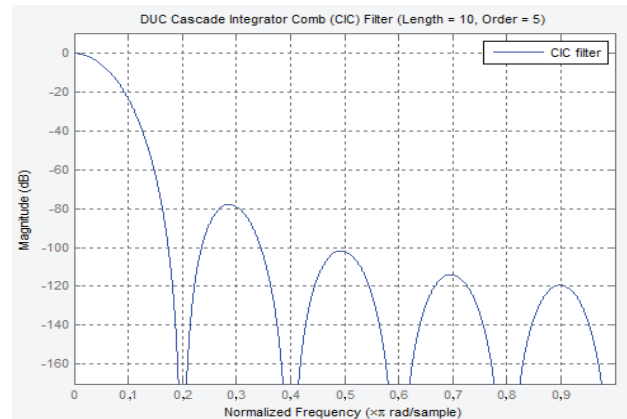
$H_1(z)$ có đặc trưng của một bộ tích phân, trong khi $H_2(z)$ có đặc trưng dạng răng lược. Như vậy, để thực hiện lọc thông thấp và nội suy, cấu trúc của bộ lọc CIC thực hiện trước tiên bằng các bộ lọc răng lược, sau đó chèn các mẫu không và cuối cùng thực hiện lấy tích phân để nội suy dữ liệu (hình 11). Từ đó, ta có cấu trúc của CIC nội suy như hình 12 khi sử dụng nhiều khâu tích phân và răng lược kết hợp.



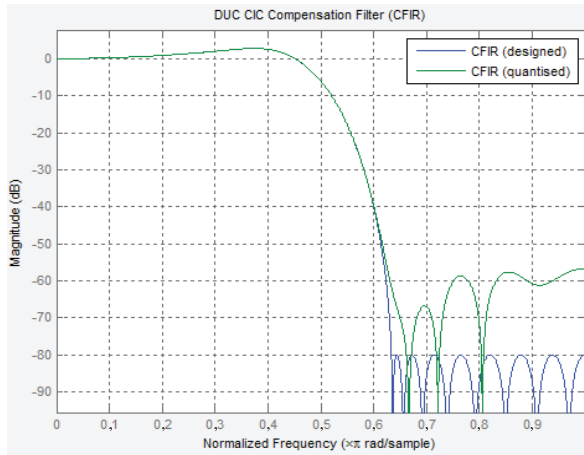
Hình 11: quá trình nội suy của CIC



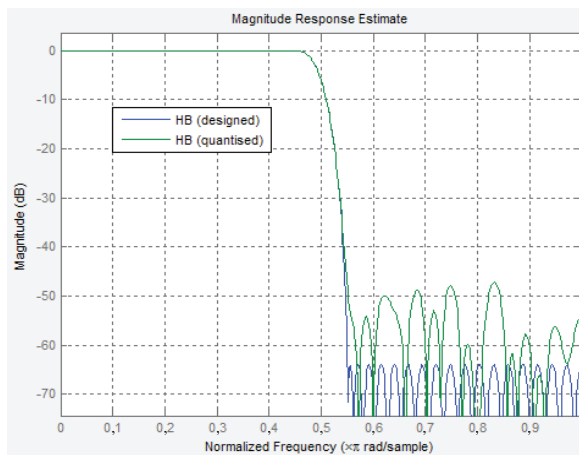
Hình 12: cấu trúc bộ lọc CIC nội suy



Hình 13: đặc tuyến biên độ - tần số của bộ lọc CIC



Hình 14: đặc tuyến biên độ - tần số của CFIR



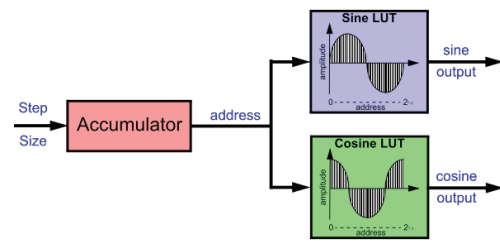
Hình 15: đặc tuyến biên độ - tần số của HB (Half band low pass filter)

Bộ lọc CIC có độ dốc lớn trong dải thông (hình 13), do tốc độ nội suy lớn nên chúng ta sử dụng bộ lọc CFIR có đặc tuyến nâng lên để bù lại độ dốc của CIC (hình 14). Bộ lọc CFIR nội suy thấp nên làm việc với tốc độ lấy mẫu thấp. Do vậy, CFIR đứng trước bộ lọc CIC trong hệ thống.

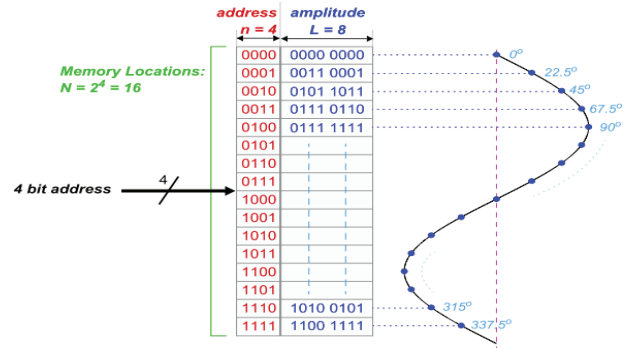
Để giảm ảnh hưởng do việc nội suy lớn của bộ lọc CIC, người ta có thể kết hợp thêm các bộ lọc HB nếu cần thiết. Những bộ lọc HB này được thiết kế theo cấu trúc FIR [8, 9]. Đặc tuyến biên độ - tần số của HB cần bằng phẳng trong dải thông để không làm méo tín hiệu (hình 15).

Bộ tổ hợp tần số DDS (Direct digital synthesizer):

Bộ DDS thực hiện tạo tần số điều chế tín hiệu lên dải IF hoặc RF cho bộ DUC. Mô hình thực hiện của DDS (hình 16) dựa trên bộ VCO (Voltage controlled oscillators) do Hãng Xilinx đề xuất [8].



Hình 16: bộ DDS dựa trên VCO



Hình 17: dạng tín hiệu được tạo từ bộ DDS

Tín hiệu từ đầu ra của DDS được đọc từ bảng tra lưu trữ giá trị các mẫu của sine và cosine trong bộ nhớ ROM như được thể hiện trên hình 17.

Sau kênh lọc nội suy, tín hiệu gồm 2 thành phần I và Q sẽ được điều chế IF hoặc RF. Chúng ta ký hiệu chung tần số tạo bởi bộ DDS ω_s cho cả hai trường hợp đầu ra bộ DUC là IF hoặc RF.

$$x_{dds}(t) = \cos(\omega_s t) + j \sin(\omega_s t) \quad (29)$$

Tín hiệu trên kênh I và Q sau điều chế đảo tần lên:

$$x_I(t) = I(t) \cos(\omega_s t) \quad (30)$$

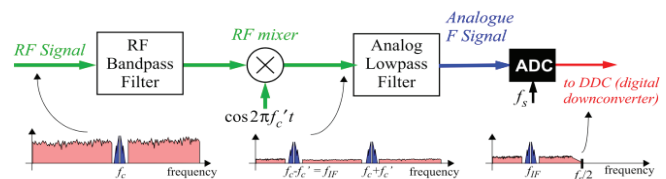
$$x_Q(t) = Q(t) \sin(\omega_s t) \quad (31)$$

Tín hiệu phát đi là tổng của hai thành phần từ hai kênh I và Q của bộ DUC:

$$x(t) = I(t) \cos(\omega_s t) + Q(t) \sin(\omega_s t) \quad (32)$$

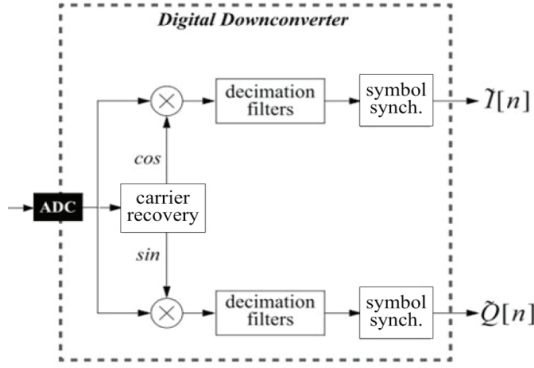
Kỹ thuật đảo tần xuống số

Bộ DDC thực hiện chọn ra dải tần quan tâm để chuyển về dải băng tần cơ sở và giảm tần số lấy mẫu phù hợp với băng tần này.

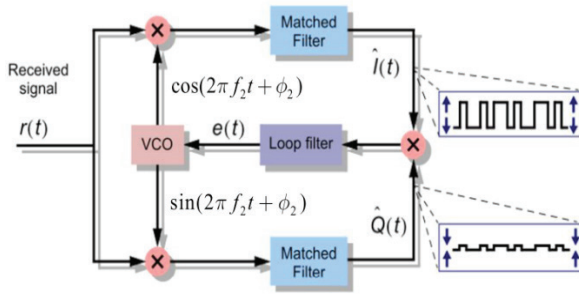


Hình 18: cấu trúc mạch RF trong hệ thống SDR

Kiến trúc chung của hệ thống vô tuyến cấu hình mềm theo Rodger H. Hosking [9] (hình 18) thường bao gồm phần RF; trong đó, khối RF thực hiện chuyển tín hiệu dải RF thu được từ anten về dải IF. Sau đó, bộ ADC thực hiện lấy mẫu tín hiệu rồi đưa vào xử lý trong DDC. Trong trường hợp dải tín hiệu RF không quá lớn để có thể thực hiện bộ thu hoàn toàn số, thì hệ thống không sử dụng thêm mạch RF này [10].



Hình 19: cấu trúc bộ DDC trên FPGA



Hình 20: cấu trúc bộ Costas loops

Kỹ thuật khôi phục sóng mang:

Bộ Costas loops khôi phục sóng mang cả về tần số và pha từ tín hiệu thu được có điều chế để đồng bộ ở thiết bị thu. Chúng ta giả thiết tín hiệu ở đầu vào bộ DDC có tần số thực tế f_1 được mô tả bằng phương trình toán học:

$$r(t) = A(t) \cos(2\pi f_1 t + \varphi_1) \quad (33)$$

Giả thiết, tần số thiết lập ban đầu cho bộ VCO là f_2 . Đầu ra bộ nhân tín hiệu trong Costas loops nhận được hai thành phần tần số tổng và hiệu của f_1 và f_2 :

$$r(t) \cos(2\pi f_2 t + \varphi_2) = \frac{A(t)}{2} [\cos(2\pi(f_1 + f_2)t + (\varphi_1 + \varphi_2)) + \cos(2\pi(f_1 - f_2)t + (\varphi_1 - \varphi_2))] \quad (34)$$

$$r(t) \sin(2\pi f_2 t + \varphi_2) = \frac{A(t)}{2} [\sin(2\pi(f_1 + f_2)t + (\varphi_1 + \varphi_2)) - \sin(2\pi(f_1 - f_2)t + (\varphi_1 - \varphi_2))] \quad (35)$$

Bộ lọc phối hợp khi đó loại bỏ thành phần tần số tổng và thực hiện lấy mẫu lại theo tốc độ của symbol.

Tín hiệu đầu ra bộ lọc phối hợp nhận được:

$$\hat{I}(t) = \frac{A(t)}{2} \cos(2\pi(f_1 - f_2)t + (\varphi_1 - \varphi_2)) \quad (36)$$

$$\hat{Q}(t) = \frac{A(t)}{2} \sin(2\pi(f_1 - f_2)t + (\varphi_1 - \varphi_2)) \quad (37)$$

Chúng ta đặt:

$$\Delta f(t) = f_1 - f_2, \quad \Delta \phi(t) = \Delta f(t) + \varphi_1 - \varphi_2$$

Thay vào (36) và (37) nhận được:

$$\hat{I}(t) = \frac{A(t)}{2} \cos(\Delta \phi(t)) \quad (38)$$

$$\hat{Q}(t) = \frac{A(t)}{2} \sin(\Delta \phi(t)) \quad (39)$$

Đầu vào của bộ lọc loop filter là tích của 2 tín hiệu trên 2 kênh I và Q:

$$\hat{I}(t)\hat{Q}(t) = \frac{A^2(t)}{4} \cos(\Delta \phi(t)) \cdot \sin(\Delta \phi(t)) = \frac{A^2(t)}{8} \sin(2\Delta \phi(t)) \quad (40)$$

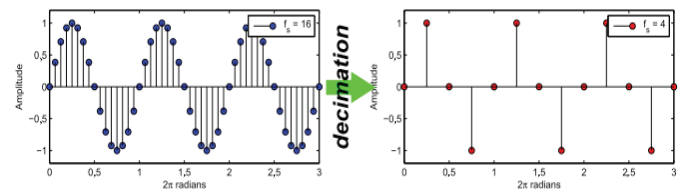
Bộ lọc loop filter thực hiện loại bỏ tất cả nhiễu tạp tác động đến thành phần biên độ tại phía thu. Đầu ra bộ lọc này chúng ta nhận được tín hiệu:

$$e(t) = \frac{1}{8} A^2(t) \sin(2\Delta \phi(t)) \quad (41)$$

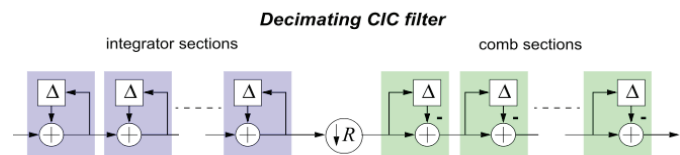
Với điều chế QPSK, sau khi loại bỏ nhiễu tác động đến biên độ thì $A(t) = \pm 1$ nên đầu ra của loop filter mang thông tin về độ lệch pha và tần số. Tín hiệu này sử dụng để hiệu chỉnh VCO đưa sai lệch này về 0. Do đó, sóng mang được khôi phục.

Kênh lọc giảm mẫu:

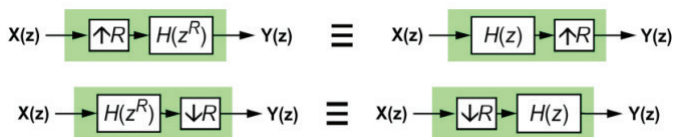
Bộ lọc CIC có khả năng giảm tốc độ lấy mẫu cao nhất nên được sử dụng trong bộ DDC làm bộ lọc đầu tiên trong kênh lọc giảm mẫu.



Hình 21: quá trình thực hiện giảm mẫu của CIC

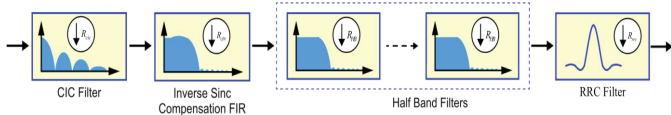


Hình 22: cấu trúc của bộ lọc CIC giảm mẫu



Hình 23: tương quan đáp ứng của CIC nội suy và giảm mẫu

Từ sự tương quan giữa CIC nội suy và giảm mẫu (hình 23) ta thấy, đặc tuyến $H(z)$ của chúng là tương đồng như thể hiện trên hình 13. Như vậy, sau bộ lọc CIC trong DDC cần sử dụng thêm bộ lọc bù CFIR, các khâu lọc tùy chọn HB để giảm tốc độ lấy mẫu và bộ lọc RRC làm bộ lọc phối hợp lấy mẫu với tốc độ của symbol để đồng bộ. Cấu trúc của DDC thể hiện như trên hình 24 [11-14].



Hình 24: kênh lọc giảm mẫu trong DDC

Đặc tuyến biên độ - tần số và đáp ứng xung của các bộ lọc này tương tự như trong DUC trên các hình 9, 14 và 15.

Kết quả thử nghiệm

Thiết kế (hình 25) được thử nghiệm với các tham số lựa chọn sau: tốc độ lấy mẫu các symbol trên hai kênh I/Q: 1,25 MHz; tần số IF: 25 MHz; tốc độ nội suy và giảm mẫu: 80; mô hình kênh truyền: sử dụng tạp trắng phát từ trong FPGA; các bo mạch sử dụng để thử nghiệm: NetFPGA-1G-CML và AD9739A FMC Card.

Kết quả thử nghiệm được thể hiện trên các hình từ 26 đến 32. Tài nguyên chip FPGA sử dụng khi không sử dụng tạp trắng để mô hình kênh và có sử dụng tạp trắng thể hiện tương ứng trong bảng 1 và bảng 2.

- Kết quả mô phỏng (hình 28) và đo trên máy phân tích phổ (hình 31) cho thấy, tín hiệu phát ở dải IF có băng thông 2,5 MHz (bằng 2 lần băng thông của symbol trên hai kênh I/Q ở dải cơ sở).

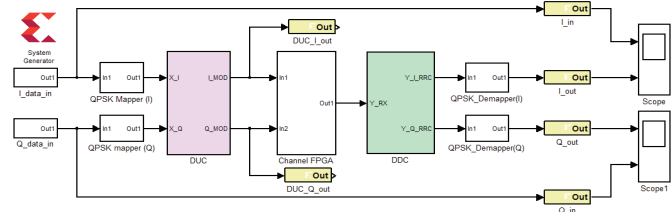
- Kết quả phân tích chòm sao tín hiệu ở phía thu (hình 29) cho thấy, chòm sao sau bộ lọc CIC không tập trung do nhiễu tạp trắng từ kênh truyền. Bộ lọc phối hợp RRC đã lọc nhiễu ISI và nhiễu tạp nên chòm sao tín hiệu được tập trung.

- Sau giải điều chế QPSK, tín hiệu được khôi phục (hình 30).

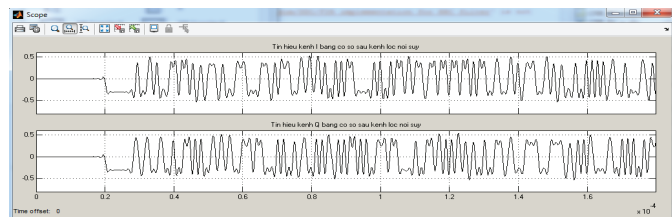
- Chuỗi bit kênh I của bản tin gốc từ phía phát và

của kênh I sau giải điều chế trong bộ thu được thể hiện trên máy hiện sóng (hình 32). Tín hiệu được khôi phục hoàn toàn trong bộ thu, tốc độ lấy mẫu 1,25 MHz.

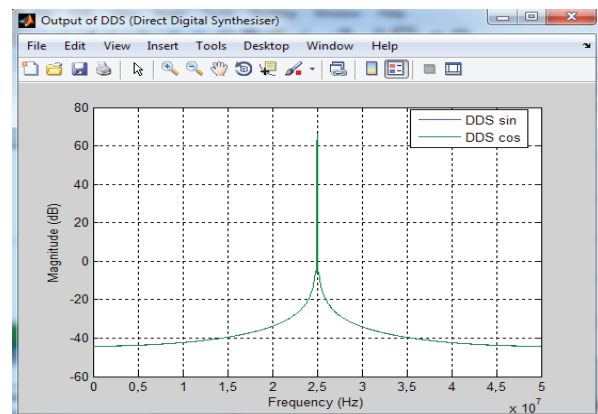
- Tài nguyên FPGA sử dụng cho bộ DUC và DDC (không tính đến tài nguyên tạo tạp trắng cho mô hình kênh phát) là rất nhỏ đối với chip Kintex-7 XC7K325T và phù hợp cho các chip FPGA tài nguyên nhỏ hơn, chip FPGA thế hệ cũ.



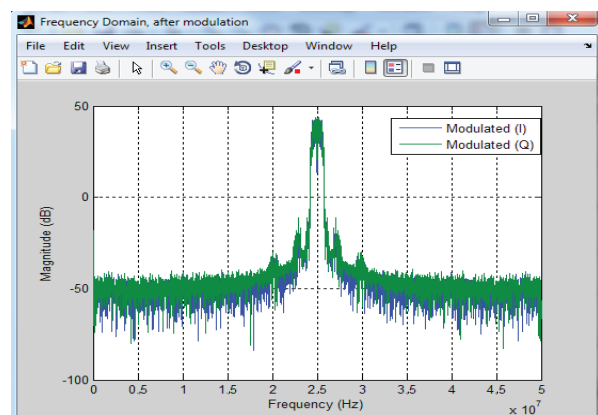
Hình 25: thiết kế thực hiện trên System Generator



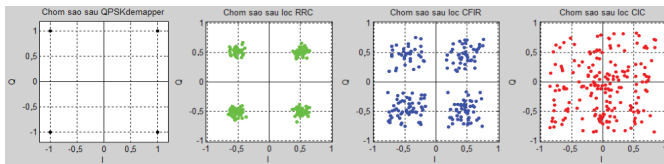
Hình 26: tín hiệu ở băng tần cơ sở sau kênh lọc nội suy



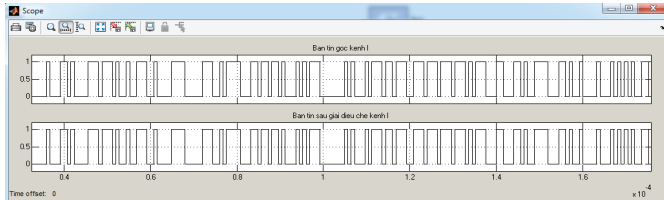
Hình 27: phổ tín hiệu DDS trong DUC



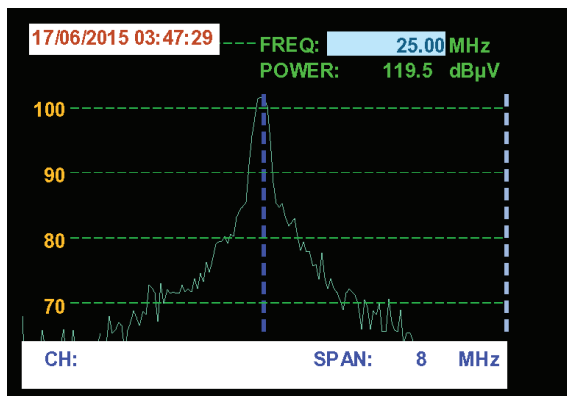
Hình 28: phổ tín hiệu IF ở phía phát



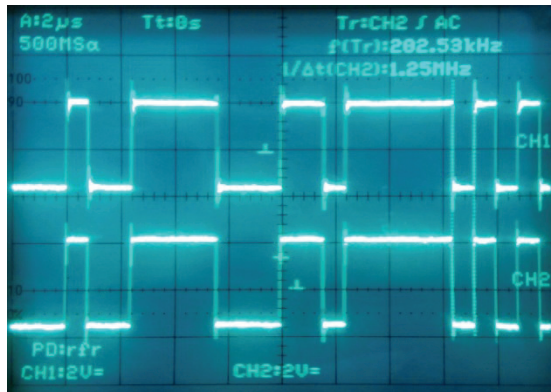
Hình 29: chòm sao tín hiệu sau các bộ lọc trong DDC



Hình 30: bản tin gốc ở phía phát và đầu ra sau giải điều chế QPSK ở phía thu



Hình 31: phổ tín hiệu IF sau DUC



Hình 32: bản tin gốc và sau giải điều chế

Bảng 1: tài nguyên FPGA sử dụng khi không dùng kênh tap trắng

Logic Utilization	Used	Available	%
Slice Registers	9371	407,600	2%
Slice LUTs	9254	203,800	4%
RAM/FIFO	5	445	1%
DSP48E1s	139	840	16%
Max. Frequency	142.531MHz		

Bảng 2: tài nguyên FPGA sử dụng khi có dùng kênh tap trắng

Logic Utilization	Used	Available	%
Slice Registers	3056	407,600	0%
Slice LUTs	2356	203,800	1%
RAM/FIFO	1	445	0%
DSP48E1s	42	840	5%
Max. Frequency	517.994 MHz		

Kết luận

Nghiên cứu đã thiết kế và thử nghiệm các khối đảo tần lên và xuống kết hợp kỹ thuật điều chế QPSK trên cơ sở công nghệ vô tuyến cấu hình mềm. Thiết kế với

giải pháp tối ưu tài nguyên và tốc độ cho phép thực hiện hệ thống hoàn toàn số trong một chip FPGA, đặc biệt là mô hình thiết kế có thể phù hợp và tùy biến linh hoạt cho mọi hệ thống vô tuyến dựa trên software defined radio.

Tài liệu tham khảo

[1] Zhuan Ye, Grosspietsch J, Memik G (2007), *An FPGA Based All-Digital Transmitter with Radio Frequency Output for Software Defined Radio*, IEEE Design, Automation & Test in Europe Conference & Exhibition.

[2] Rodger H Hosking (2008), *Software Defined Radio Handbook: Seventh Edition*, Pentek, Inc.

[3] Kazaz T, Kulin M, Hadzialic M (2013), *Design and implementation of SDR based QPSK modulator on FPGA*, IEEE Information & Communication Technology Electronics & Microelectronics (MIPRO).

[4] Kodali R.K, Bopppana L, Kondapalli S.R (2013), *DDC and DUC filters in SDR platforms*, IEEE Advanced Computing Technologies (ICACT).

[5] Xilinx (2014), *DUC/DDC Compiler V3.0*, LogiCORE IP Product Guide.

[6] Ewa Hermanowicz, Miroslaw Rojewski (2014), "Square Root Raised Cosine Fractionally Delaying Nyquist Filter - Design and Performance Evaluation", *JET International Journal of Electronics and Telecommunications*, **60(3)**, pp.247-252.

[7] V Elamaram, R Vaishnavi, A Maxel Rozario, Slitta Maria Joseph, Aylwin Cherian (2013), *CIC for decimation and interpolation using Xilinx system generator*, IEEE Communications and Signal Processing (ICCS).

[8] Xiao Liangfen Liu Yi (2011), "Implementation of distributed FIR digital filter on FPGA", *Electronic Measurement & Instruments (ICEMI)*, **Vol 3**.

[9] Xilinx (2011), *DS795: LogiCORE IP FIR Compiler v6.3: Product Specification*.

[10] Xilinx (2015), *DDS Compiler v6.0*, LogiCORE IP Product Guide.

[11] Hua-Ming Liu, Guang-Jun Li, Bo Yan, Qiang Li (2010), *A 100MHz Digital Down Converter with modified FIR filter for wide-band software-defined radios*, IEEE Electronics and Information Engineering (ICEIE), 2010 International Conference, 1-3 Aug. 2010.

[12] Wu Changrui, Kong Chao, Xie Shigen, Cai Huizhi (2010), *Design and FPGA Implementation of Flexible and Efficiency Digital Down Converter*, Signal Processing (ICSP).

[13] Trần Văn Nghĩa (2010), *Nghiên cứu, thiết kế máy thu thế hệ số software defined radio trên công nghệ FPGA*, Tuyển tập báo cáo khoa học Hội nghị Đo lường toàn quốc lần thứ 5.

[14] Nguyễn Thế Hiếu, Trần Xuân Kiên, Trần Văn Nghĩa (2010), "Nghiên cứu, thiết kế bộ chuyển dịch tín hiệu về dải cơ sở trên nền công nghệ FPGA", *Tạp chí Nghiên cứu KH&CN quân sự*, tháng 10.