

Thiết kế bộ điều biến vi tích phân bậc 3, tỷ số tín hiệu trên nhiễu đạt 110 dB và tỷ lệ quá lấy mẫu 512 cho chip ADC 24-bit ở công nghệ CMOS 130 nm

Hồ Quang Tây*, Ngô Thị Thu Nga, Đoàn Duy

Trung tâm Nghiên cứu và Đào tạo thiết kế vi mạch

Ngày nhận bài 10.7.2015, ngày chuyển phản biện 24.7.2015, ngày nhận phản biện 28.8.2015, ngày chấp nhận đăng 31.8.2015

Bài báo này trình bày một thiết kế bộ điều biến vi tích phân bậc 3 (3rd order delta-sigma modulator) có tỷ số tín hiệu trên nhiễu (Signal to noise ratio - SNR) đạt 110 dB, tỷ lệ quá lấy mẫu (Oversampling rate - OSR) 512 và số bit hiệu dụng (Effective number of bits - ENOB) lớn hơn 18 bit với tần số tín hiệu ngõ vào 8 KHz. Bộ điều biến vi tích phân là thành phần quan trọng được sử dụng trong thiết kế chip chuyển đổi tín hiệu tương tự sang tín hiệu số (Analog to digital converter - ADC) có độ phân giải 24 bit. Thiết kế này đã được tích hợp thành công vào chip ADC 24-bit trên nền công nghệ 130 nm với công suất tiêu thụ gần 4 mW và nguồn cấp 3,3 V.

Từ khóa: ADC 24-bit, điều biến vi tích phân, điều biến vi tích phân bậc 3, tỷ số quá lấy mẫu ADC 24-bit, tỷ số tín hiệu trên nhiễu của ADC 24-bit.

Chỉ số phân loại 1.2

A 110 DB SNR, 512 OSR, THIRD ORDER DELTA-SIGMA MODULATOR FOR 24-BIT ADC IN 130 NM CMOS PROCESS

Summary

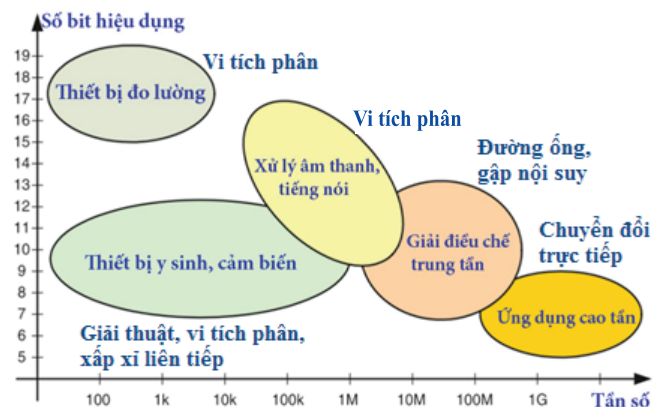
In this paper, a design with simulation results of the 3rd order delta-sigma modulator will be presented. The post-layout simulations show that the modulator achieves SNR of 110 dB, OSR of 512 and more than 18 effective bits ENOB at 8 KHz input frequency. This modulator is a significant part of the 24-bit Analog-to-digital converter (ADC) chip. Furthermore, this delta-sigma modulator is successfully integrated into a complete 4 mW power consumption 24-bit resolution ADC chip in 130 nm TSMC technology.

Keywords: delta-sigma modulator, OSR of 24-bit ADC, SNR of 24-bit ADC, third order delta-sigma modulator, 24-bit ADC.

Classification number 1.2

Đặt vấn đề

Ngày nay, ADC được sử dụng trong hầu hết các thiết bị điện tử hoặc trong các thiết bị đo lường các đại lượng điện hay phi điện nói chung. ADC là thành phần có vai trò cực kỳ quan trọng trong hầu hết các thiết bị này. Do đa dạng trong kiến trúc thiết kế [1], ADC có thể được thiết kế ở những kiến trúc khác nhau tùy thuộc vào yêu cầu của ứng dụng thực tế. Hình 1 là sơ đồ phân loại một số kiến trúc thiết kế ADC cơ bản theo tần số lấy mẫu (sampling frequency) và số bit hiệu dụng (Effective number of bits - ENOB) [2]. Mỗi loại kiến trúc phù hợp với những lĩnh vực ứng dụng thực tế riêng, trong đó kiểu kiến trúc delta-sigma phù hợp cho nhiều ứng dụng nhất như lĩnh



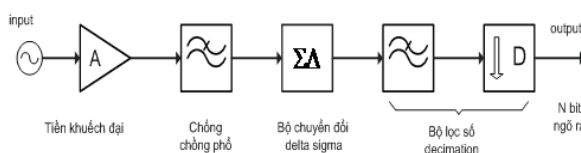
Hình 1: mô hình phân loại kiến trúc ADC theo tần số lấy mẫu và số bit hiệu dụng [2]

*Tác giả liên hệ: Tel: 0909445256; Email: tay.hoquang@icdrec.edu.vn

vực y sinh, thiết bị di động và các phương tiện nghe nhìn. Do nhu cầu ứng dụng rộng rãi nên kiểu kiến trúc thiết kế này thu hút được sự quan tâm nghiên cứu của nhiều nhà khoa học [3-6] cùng nhiều hãng sản xuất như Analog Devices [7], Texas Instruments [8]. Tuy nhiên, tại Việt Nam, thiết kế chip ADC có độ phân giải cao 24 bit và số bit hiệu dụng lớn chỉ thực sự được quan tâm trong một đề tài cấp nhà nước từ năm 2011 tại Trung tâm Nghiên cứu và Đào tạo thiết kế vi mạch (ICDREC) [9]. Vì thế, những nghiên cứu về thiết kế liên quan đến chip ADC rất cấp thiết đối với sự phát triển của ngành điện tử Việt Nam nói chung và ngành thiết kế vi mạch tương tự nói riêng.

Giới thiệu chung về thiết kế ADC và bộ điều biến delta-sigma

Mô hình thiết kế cơ bản của một bộ chuyển đổi ADC theo kiến trúc delta-sigma được trình bày trong hình 2, với các thành phần chính gồm: bộ tiền khuếch đại, bộ lọc chống chồng phổ, bộ chuyển đổi delta-sigma, bộ lọc số decimation và bộ lọc số.



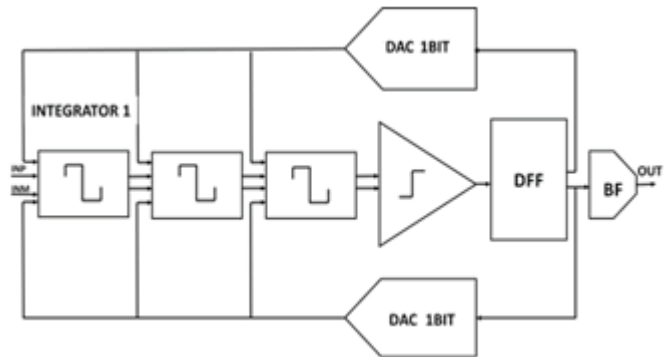
Hình 2: cấu trúc thiết kế cơ bản của bộ chuyển đổi delta-sigma ADC

Như mô tả trong hệ thống ở hình 2, sau khi được xử lý ở bộ tiền khuếch đại, tín hiệu sẽ đi qua một bộ lọc thông thấp hoạt động như một bộ lọc chống chồng phổ. Sau đó, tín hiệu sẽ được mã hóa từ dạng tương tự sang dạng số bởi bộ chuyển đổi delta-sigma trước khi được đưa qua bộ lọc số để tạo thành chuỗi bit ngõ ra. Thành phần chuyển đổi cơ bản và quan trọng nhất của hệ thống là một bộ chuyển đổi delta-sigma. Do vậy, việc thiết kế thành công bộ chuyển đổi delta-sigma cho chip ADC 24-bit đã trở thành đối tượng và mục tiêu nghiên cứu của nhóm tác giả, và sẽ được trình bày chi tiết trong phần tiếp theo của bài báo. Hướng tiếp cận cho thiết kế bắt đầu từ xây dựng và mô phỏng hệ thống bằng chương trình Matlab; xây dựng và mô phỏng mạch trên công cụ thiết kế vi mạch chuyên dụng; thực hiện thiết kế layout và mô phỏng sau layout; cuối cùng là tích hợp thiết kế vào hệ thống chip ADC.

Thiết kế bộ điều biến delta-sigma

Thiết kế bộ điều biến delta-sigma bậc 3 được nghiên cứu và đề xuất cho thiết kế ADC 24-bit như trình bày trong hình 3 thiết kế hệ thống bao gồm các

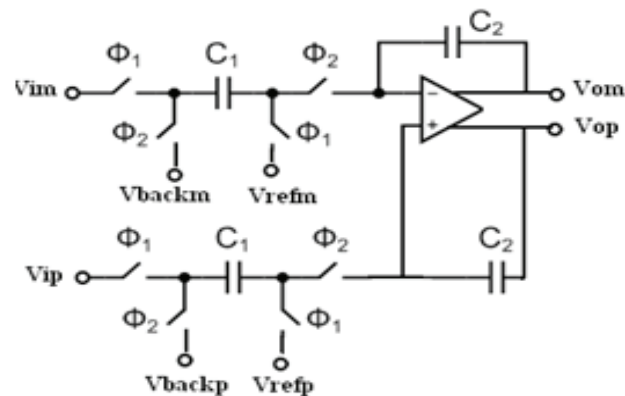
thành phần chính: chuỗi nối tiếp các mạch tích phân (integrator) kiểu switched-capacitor (SC), bộ so sánh, bộ chuyển đổi DAC (Digital to analog converter) 1 bit, mạch DFF và bộ đếm ngõ ra. Trong phạm vi bài báo này xin được trình bày chi tiết thiết kế bộ tích phân và bộ so sánh. Các thiết kế cơ bản của bộ DAC 1 bit, DFF và bộ đếm ngõ ra có thể tham khảo trong thiết kế của Schreier [10].



Hình 3: cấu trúc bộ điều biến delta-sigma bậc 3

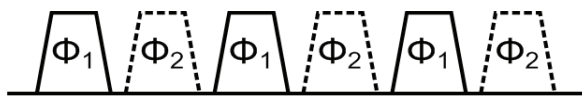
Thiết kế mạch SC integrator

Mục tiêu của mạch tích phân là: lấy tích phân với tín hiệu ngõ vào lớn nhất là 8 KHz, tần số xung nhịp 8,192 MHz, điện áp làm việc 3,3 V. Thiết kế sử dụng mạch tích phân có cấu trúc Non-Inverting SC với sơ đồ mạch được mô tả trong hình 4.



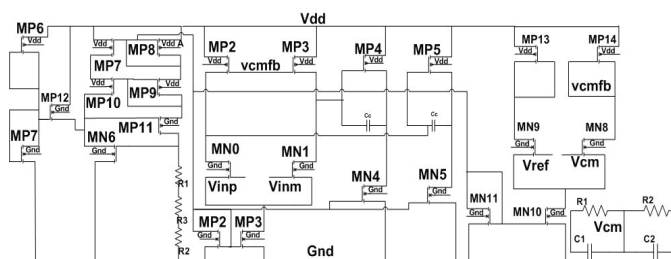
Hình 4: sơ đồ mạch bộ tích phân integrator

Mạch SC integrator gồm: 2 tụ C1, 2 tụ C2, 1 bộ op-amp và 8 switched capacitor. Tỷ lệ tụ C1 và C2 của integrator 1, integrator 2 và integrator 3 được xác định thông qua mô phỏng hệ thống trên Toolbox Matlab. Ngoài ra, cấu trúc này cũng đã được đề cập nhiều trong sách tham khảo của Schreier [10]. Trong hình 4, xung nhịp của Φ_1 và Φ_2 có dạng như được mô tả trong hình 5.



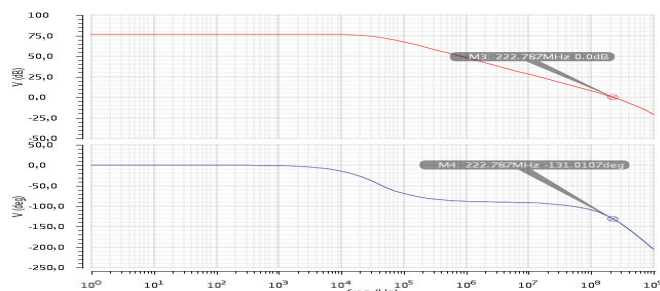
Hình 5: dạng sóng của 2-phase clock của Φ_1 và Φ_2

Thành phần quan trọng của bộ integrator là mạch khuếch đại. Để sử dụng cho bộ integrator, mục tiêu của bộ khuếch đại là: độ lợi (gain) đạt 70 dB, tần số độ lợi đơn vị (unity gain frequency) là 200 MHz và độ dự trữ pha (phase margin) là 60° . Mạch khuếch đại được thiết kế theo kiến trúc fully differential two-stage như sơ đồ trong hình 6.



Hình 6: sơ đồ mạch fully differential two-stage op-amp

Kết quả mô phỏng trên phần mềm phân tích thiết kế vi mạch chuyên dụng được trình bày trong hình 7 cho thấy, mạch khuếch đại đã đạt được độ lợi khoảng 75 dB, tần số độ lợi đơn vị là 222 MHz và biên pha là 60° . Kết quả này phù hợp với yêu cầu thiết kế các bộ integrator.



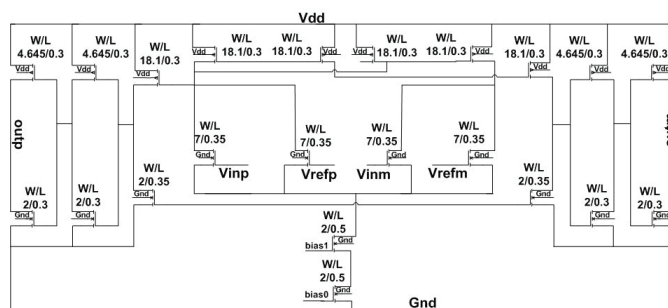
Hình 7: kết quả mô phỏng gain và phase margin của op-amp

Thiết kế bộ so sánh

Bộ so sánh (comparator) được sử dụng để chuyển đổi giá trị điện áp được lấy mẫu ở mạch tích phân thành các giá trị logic bằng cách so sánh giá trị điện áp này với một tín hiệu điện áp tham chiếu.

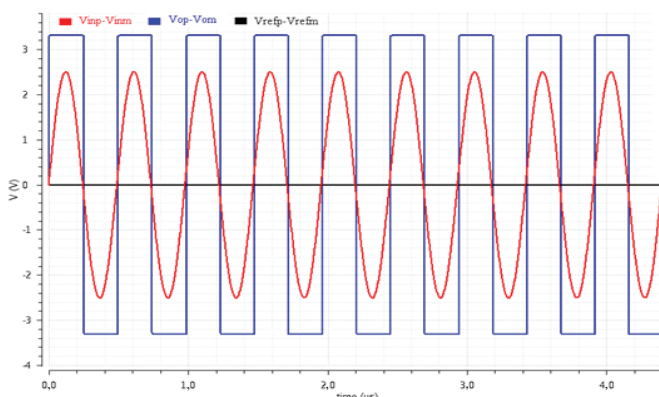
Để sử dụng cho bộ điều biến delta-sigma trong chip ADC 24-bit, mục tiêu của bộ so sánh là: tần số ngõ vào

lớn nhất 8 KHz, tần số xung nhịp 8,192 MHz, ngõ ra được chuyển đổi về dạng logic với các giá trị biên độ là $\pm 3,3$ V. Bộ so sánh được thiết kế theo mô hình fully differential two-stage, như sơ đồ hình 8.



Hình 8: sơ đồ mạch so sánh fully differential two-stage

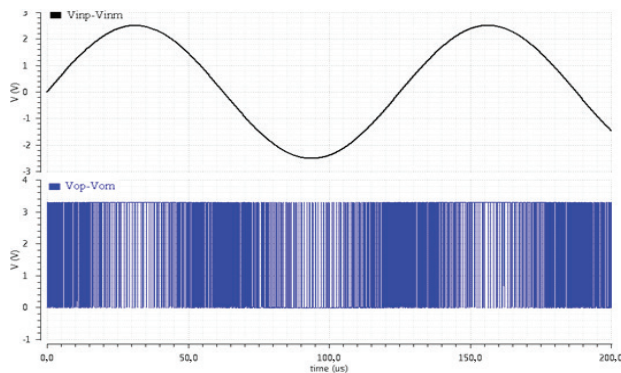
Kết quả mô phỏng hoạt động của mạch so sánh trên phần mềm thiết kế vi mạch chuyên dụng ở tần số xung nhịp 8,192 MHz (hình 9) cho thấy, mạch hoạt động ổn định, ngõ ra được chuyển đổi về dạng logic với các giá trị biên độ là $\pm 3,3$ V.



Hình 9: kết quả mô phỏng dạng sóng ngõ ra của mạch so sánh

Kết quả mô phỏng hệ thống và thiết kế layout hoàn chỉnh

Như đã đề cập trong phần đầu của bài báo, ngõ ra của bộ điều biến là một chuỗi bit (bit stream) dưới dạng logic. Mô phỏng hệ thống trên phần mềm cho kết quả của chuỗi bit ngõ ra như trong hình 10. Mô phỏng được thực hiện trong miền thời gian từ 0 đến 200 us với tần số tín hiệu ngõ vào là 8 KHz và tốc độ xung nhịp là 8,192 MHz. Việc đánh giá kết quả chuỗi bit là không thể thực hiện bằng quan sát mà phải thông qua việc tính toán các thông số về độ chính xác của tín hiệu trên kết quả ngõ ra như tỷ số tín hiệu trên nhiễu (Signal to Noise Ratio - SNR) và số bit hiệu dụng (ENOB).



Hình 10: kết quả mô phỏng dạng sóng trong miền thời gian của bộ delta-sigma modulator

Tỷ số SNR tương ứng với một bộ ADC m bit (tín hiệu ngõ vào dạng sóng sine) được xác định như sau:

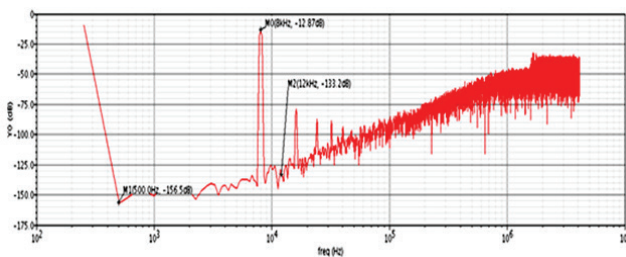
$$SNR = 6,02m + 1,76 \quad (1)$$

Trong đó, SNR (đơn vị dB) là tỷ lệ tín hiệu trên nhiễu của hệ thống, m là độ phân giải của hệ thống. Kết quả tính toán SNR của hệ thống dựa trên kết quả chuỗi bit ngõ ra được trình bày trong hình 11. Căn cứ vào các giá trị tạo hình nhiễu trong hình 11, ta có thể xác định tỷ số SNR là 110 dB.

Ngoài ra, với tín hiệu ngõ vào có dạng sóng sine, tỷ số SNR có thể được biểu diễn bởi số lượng bit hiệu dụng theo công thức sau:

$$N = (SNR - 1,76)/6,02 \quad (2)$$

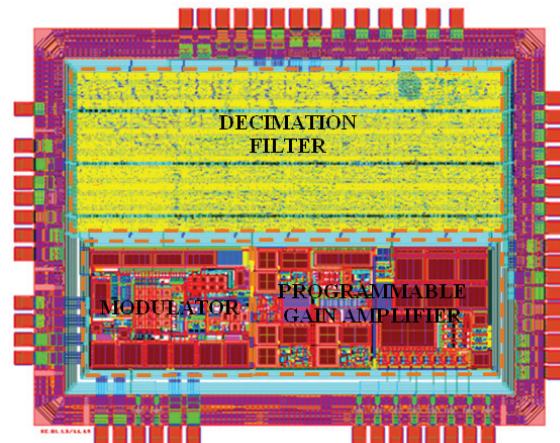
Trong đó, N được gọi là số bit hiệu dụng (ENOB) của hệ thống. Thay giá trị thực đo của SNR vào phương trình (2), ta có thể xác định được số bit hiệu dụng của thiết kế là 19 bit.



Hình 11: kết quả mô phỏng hệ số SNR của bộ điều biến delta-sigma

Thiết kế bộ điều biến delta-sigma sau khi được mô phỏng đánh giá hoạt động đầy đủ trên sơ đồ mạch theo nhiệt độ lẫn sai số chế tạo đã được thực hiện thiết kế layout hoàn chỉnh và thực hiện các mô phỏng sau layout để đánh giá kết quả thiết kế. Cùng với bộ lọc số (decimation filter) và bộ khuếch đại lập trình (programmable gain amplifier), bộ điều biến cũng đã được

tích hợp vào chip ADC 24-bit hoàn chỉnh như kết quả trong hình 12. Bảng 1 trình bày chi tiết các kết quả đạt được khi mô phỏng chip ADC ở các điều kiện hoạt động khác nhau như điện áp, nhiệt độ và công nghệ.



Hình 12: kết quả tích hợp thiết kế layout bộ điều biến delta-sigma vào chip ADC 24-bit

Bảng 1: kết quả mô phỏng sau layout của bộ điều biến delta-sigma

STT	Thông số	Kết quả
1	Tỷ số SNR	110 dB
2	Tỷ lệ quá lấy mẫu - OSR	512
3	Tần số ngõ vào	8 KHz
4	Số bit hiệu dụng	18 bit
5	Tốc độ xung nhịp	8,192 MHz
6	Điện áp nguồn	3,3 V
7	Nhiệt độ hoạt động	0-80°C
8	Công nghệ thiết kế	130 nm

Kết luận

Kết quả được trình bày ở trên cho thấy, tại tần số xung nhịp là 8,192 MHz, bộ điều biến được thiết kế đã đạt được các tính năng và hoạt động ổn định với tỷ số SNR là 110 dB và ENOB lớn hơn 18 bit với tín hiệu ngõ vào tần số 8 KHz và tầm điện áp ngõ vào là 2,5 V. Đặc biệt, OSR của thiết kế lên đến 512 đã giúp cho thiết kế đạt được tỷ số SNR cao chỉ với kiến trúc bậc 3.

Việc tích hợp thành công bộ điều biến delta-sigma vào thiết kế chip ADC 24-bit hoàn chỉnh là thành công đặc biệt của nghiên cứu. Đây có thể được đánh giá là một trong những thành công đầu tiên trong phát triển thiết kế vi mạch tương tự trên nền công nghệ 130 nm tại Việt Nam.

Một nghiên cứu thiết kế bộ điều biến delta-sigma hoàn chỉnh cho chip chuyển đổi tín hiệu ADC có độ

phân giải 24 bit đã được trình bày một cách ngắn gọn và chi tiết. Công trình nghiên cứu này có thể được dùng như một tài liệu có giá trị tham khảo mang tính thực tế cao trong lĩnh vực vi mạch tương tự tại Việt Nam.

Bên cạnh đó, việc xây dựng các hệ thống mô phỏng trên Matlab, các thiết kế mạch Integrator, mạch Opamp cũng có nhiều điểm cải tiến có thể tiếp tục phát triển trong tương lai.

Lời cảm ơn

Chúng tôi xin chân thành cảm ơn Bộ KH&CN, Ban chủ nhiệm Chương trình KH&CN trọng điểm cấp nhà nước KC01/11-15 đã cho triển khai thực hiện đề tài KC01.13/11-15. Xin chân thành cảm ơn Ban giám đốc và tập thể kỹ sư tại Trung tâm ICDREC đã hỗ trợ thực hiện công trình nghiên cứu này.

Tài liệu tham khảo

- [1] http://en.wikipedia.org/wiki/Analog-to-digital_converter
[2] Amaya J.R, Restituto M.D, Vazquez A Ro (2011), "Device-Level Modeling and Synthesis of High-Performance Pipeline ADCs",

Springer Science.

- [3] Dorrer, Lukas (2003). "10-bit, 3mW continuous-time sigma-delta ADC for UMTS in a 0.12/spl mu/m CMOS process", *Solid-State Circuits Conference, ESSCIR '03*, Proceedings of the 29th European, IEEE.

- [4] Lujun Ji (2009), "A 2nd Order Sigma-Delta Modulator as Readout Circuit for SOI MEMS Accelerometers", *Ph.D Thesis.*

- [5] Hsu, Issac Kuan Chun (1999), "A 70 MHz CMOS Band-pass Sigma-Delta Analog-to-Digital Converter for Wireless Receivers", *Master Phil. Thesis*, Hong Kong University of Science and Technology.

- [6] Fujimori, Ichiro (2000), "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8/spl times/oversampling ratio", *Solid-State Circuits, IEEE Journal of* 35.12, pp.1820-1828.

- [7] <http://www.analog.com>

- [8] <http://www.ti.com>

- [9] Nguyễn Minh Khánh Ngọc (2012-2014), Đề tài Nghiên cứu, thiết kế và chế tạo thử nghiệm chip nén ảnh theo tiêu chuẩn JPEG2000 và chip ADC đa năng ứng dụng trong y tế, mã số KC01.13/11-15, thuộc Chương trình KH&CN trọng điểm cấp nhà nước KC01/11-15.

- [10] Schreier R, Gabor Temes C (2005), "Understanding Delta-Sigma Data Converters", Chapter 3 and 4, *A John Wiley & Sons, Inc., Publication.*